

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-211865

(43) 公開日 平成7年(1995)8月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04				
21/822				
H 0 1 F 17/00	A	8123-5E	H 0 1 L 27/ 04	L
審査請求 未請求 請求項の数 2 O L (全 4 頁)				

(21) 出願番号 特願平6-3801

(22) 出願日 平成6年(1994)1月19日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 彦坂 康己

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

(54) 【発明の名称】 インダクタ

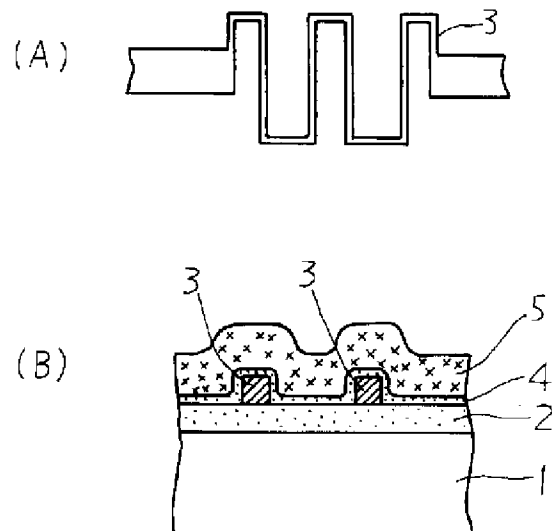
(57) 【要約】

【目的】 インダクタに関し、寸法を縮小し、低コスト化を図る。

【構成】 1) 基板上に形成されたインダクタであって、隣接する線路が逆方向に電流が流れるように配置された線路 3 と、該線路の少なくとも上部を覆う絶縁膜 4 と、該絶縁膜を覆って被覆され且つ真空より透磁率の大きい高透磁率材料膜 5 とを有する、

2) 基板上に形成されたインダクタであって、隣接する線路が同方向に電流が流れるように配置された線路 3A と、該線路の少なくとも上部を覆う絶縁膜 4 と、該絶縁膜を覆って被覆され且つ真空より透磁率の大きい高透磁率材料膜 5 とを有し、該高透磁率材料膜が隣接する線路間で分離されている。

本発明の実施例 1 の説明図



【特許請求の範囲】

【請求項1】 基板上に形成されたインダクタであって、隣接する線路が逆方向に電流が流れるように配置された線路(3)と、該線路の少なくとも上部を覆う絶縁膜(4)と、該絶縁膜を覆って被覆され且つ真空より透磁率の大きい高透磁率材料膜(5)とを有することを特徴とするインダクタ。

【請求項2】 基板上に形成されたインダクタであって、隣接する線路が同方向に電流が流れるように配置された線路(3A)と、該線路の少なくとも上部を覆う絶縁膜(4)と、該絶縁膜を覆って被覆され且つ真空より透磁率の大きい高透磁率材料膜(5)とを有し、該高透磁率材料膜が隣接する線路間で分離されていることを特徴とするインダクタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はモノリシックマイクロ波IC(MMIC)等の基板上に形成されたインダクタに関する。

【0002】近年、マイクロ波IC(MIC)として、ハイブリッドICから半導体基板上にモノリシックに形成するMMICの開発が盛んに行われている。しかしながら、低周波領域のMMIC形成技術として集中定数回路を用いるため、受動回路素子の寸法が能動素子に比べて比較的大きい。すなわち寸法が大きいためMMICの縮小化が難しく、低コスト化が図りにくい。特に、受動回路素子の1つであるインダクタの縮小化が望まれている。

【0003】

【従来の技術】従来より、MMIC上での集中定数型のインダクタとしては、ミアンダラインやスパイラルライン等がある。ミアンダラインは、中程度の大きさのインダクタンスの場合使われ、スパイラルラインは比較的大きいインダクタンスの場合に用いられる。

【0004】いずれにしても、基本的には回路のインダクタンスを作成するのに線路を巻いた構造を用い、且つその周囲は透磁率の小さい空気または真空であるため、インダクタの面積は大きくなっている。

【0005】

【発明が解決しようとする課題】本発明では、MMIC上のインダクタの構造として基本的に従来のミアンダラインやスパイラルライン等の構造を利用して、寸法を縮小し、低コスト化を図ることを目的とする。

【0006】

【課題を解決するための手段】上記課題の解決は(図1, 3参照)、
1) 基板上に形成されたインダクタであって、隣接する線路が逆方向に電流が流れるように配置された線路3と、該線路の少なくとも上部を覆う絶縁膜4と、該絶縁膜を覆って被覆され且つ真空より透磁率の大きい高透磁率材料膜5とを有するインダクタ、あるいは、
2) 基板上に形成されたインダクタであって、隣接する

線路が同方向に電流が流れるように配置された線路3Aと、該線路の少なくとも上部を覆う絶縁膜4と、該絶縁膜を覆って被覆され且つ真空より透磁率の大きい高透磁率材料膜5とを有し、該高透磁率材料膜が隣接する線路間で分離されているインダクタにより達成される。

【0007】

【作用】本発明では、インダクタの基板上での占有面積を小さくする方法として、前記のように従来のインダクタの線路を用いるが、インダクタの周囲を高透磁率材料で覆うことにより、インダクタに流れる電流により発生する磁場を大きくし、これによりインダクタンスを大きくし、結果的にインダクタの寸法を縮小化している。

【0008】本発明に類似の技術として高透磁率材料の基板上にインダクタを形成したり、あるいは基板上に装着されたチップインダクタに高透磁率材料を被覆する等の開示は公知である。

【0009】これに対し、本発明は、基板上に形成されるインダクタにおいて、ミアンダラインのように隣接する線路が逆方向に電流が流れるタイプのインダクタでは、そのまま線路上または線路の周囲に高透磁率材料を被覆することで、インダクタンスを増加させるようにしている。

【0010】一方、スパイラルラインのように隣接する線路に同方向の電流が流れる場合は、隣接線路の磁場の発生が逆方向であるため、高透磁率材料をインダクタンス全体にわたって一様に被覆しても効果は少ない。従って、この場合は自己の線路が発生する磁場を高透磁率材料で閉じ込めるように被覆する、すなわち隣接する線路間の高透磁率材料を分離することにより、自己インダクタンスを増加させるようにしている。

【0011】

【実施例】図1(A)、(B)は本発明の実施例1の説明図である。図1(A)は平面図、図1(B)は断面図である。

【0012】図において、1は半絶縁性(SI-)GaAs基板、2は絶縁膜で二酸化シリコン(SiO_2)膜、3はインダクタを構成する線路で金(Au)膜、4は絶縁膜で窒化シリコン(Si_3N_4)膜、5は高透磁率材料膜でアモルファス金属膜やフェライト膜等である。

【0013】この実施例は、従来のAu膜3等の線路を用いたミアンダライン上に厚さ500Åの Si_3N_4 膜4を堆積し、さらにその上に厚さ1μmのCoZrNi系等のアモルファス金属膜5を堆積している。

【0014】図2(A)～(C)は本発明の実施例2の説明図である。この実施例は隣接する線路の電流方向が逆になるように巻いたインダクタの平面図で、断面図は図1と同じである。

【0015】図示のように、実施例はいずれも隣接する線路3が、ミアンダラインのように逆方向の電流路となるように巻かれ、その上に絶縁膜4として図1の Si_3N_4 膜の代わりに厚さ1000Åの SiO_2 膜を堆積し、さらにその

上に厚さ $1\mu\text{m}$ のアモルファス金属膜 5 を堆積している。

【0016】図3(A)、(B)は本発明の実施例3の説明図である。図3(A)は平面図、図3(B)は断面図である。この実施例は、隣接する線路3Aがスパイラルラインのように同方向の電流路となるインダクタで、その上に厚さ 500\AA の Si_3N_4 膜 4 を堆積し、さらにその上に厚さ $0.5\mu\text{m}$ のアモルファス金属膜 5 を堆積し、且つ線路間のアモルファス金属膜 5 が分離された構造に形成する。

【0017】図4は本発明の実施例4の説明図である。図は平面図を示し、断面図は図3と同様である。この実施例では、インダクタはミアンダラインのように隣接する線路 3 が逆方向の電流路となるように巻かれ、その上に絶縁膜 4 として厚さ 1000\AA の SiO_2 膜を堆積し、さらにその上に厚さ $1\mu\text{m}$ のアモルファス金属膜 5 を堆積し、且つ線路間のアモルファス金属膜 5 が分離された構造に形成する。

【0018】図5は本発明の実施例5の説明図である。図において、半導体基板 1 上に絶縁膜として厚さ 1000\AA の SiO_2 膜 4 を堆積し、その上に厚さ 2000\AA のフェライト膜 6 を堆積し、この上に線路として厚さ $3\mu\text{m}$ の Au 膜 3 または 3A を形成し、これをマスクにしてフェライト膜 6 及び SiO_2 膜 4 をエッチングし、さらにその上に厚さ 1000\AA の SiO_2 膜 4 を堆積し、さらに高透磁率材料膜として厚さ $0.5\mu\text{m}$ のフェライト膜 5 を堆積し、且つ線路間のフェライト膜 5 が分離された構造に形成する。

【0019】図6は本発明の実施例6の説明図である。図において、半導体基板 1 上に絶縁膜として厚さ 1000\AA の SiO_2 膜 4 を堆積し、この上に線路として厚さ $3\mu\text{m}$ の Au 膜 3 または 3A を形成し、これをマスクにして SiO_2 膜 4 をエッチングし、さらにその上に厚さ 1000\AA の SiO_2 膜 4 を堆積し、さらに高透磁率材料膜として厚さ $0.5\mu\text{m}$ のフェライト膜 5 を堆積し、且つ線路間のフェライト膜 5 が分離された構造に形成する。

【0020】図7は本発明の実施例7の説明図である。図において、半絶縁性半導体基板 1 上に直接線路として厚さ $3\mu\text{m}$ の Au 膜 3 または 3A を形成し、これをマスクにして半導体基板をエッチングして掘り下げ、さらにその上に厚さ 1000\AA の SiO_2 膜 4 を堆積し、さらに高透磁率材料膜として厚さ $0.5\mu\text{m}$ のフェライト膜 5 を堆積し、且つ線路間のフェライト膜 5 が分離された構造に形成する。

【0021】以上の実施例では高透磁率材料として CoZrNi 系のアモルファス金属膜、フェライトを用いたが、本発明はこれに限るものではなく、例えば、その他各種のパーマロイ、フェライト、アモルファス金属材料等を用いてもよい。

【0022】

【発明の効果】本発明によれば、MMIC 上のインダクタの構造として基本的に従来のミアンダラインやスパイラルライン等の構造を利用して、寸法を縮小し、且つ低コスト化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施例1の説明図

【図2】 本発明の実施例2の説明図

【図3】 本発明の実施例3の説明図

【図4】 本発明の実施例4の説明図

【図5】 本発明の実施例5の説明図

【図6】 本発明の実施例6の説明図

【図7】 本発明の実施例7の説明図

【符号の説明】

- 1 半導体基板で Si-GaAs 基板
- 2 絶縁膜で SiO_2 膜
- 3, 3A インダクタを構成する線路で Au 膜
- 4 絶縁膜 Si_3N_4 膜または SiO_2 膜
- 5, 6 高透磁率材料膜でアモルファス金属膜またはフェライト膜

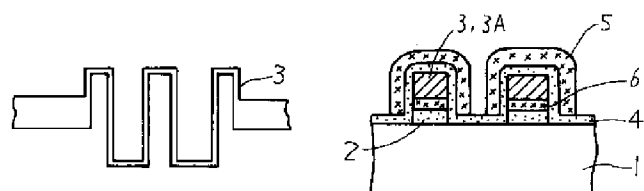
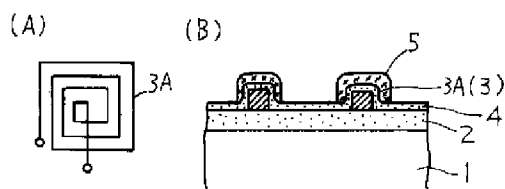
【図3】

【図4】

【図5】

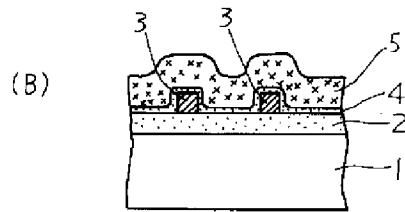
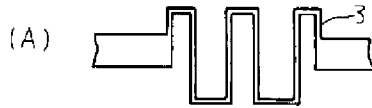
本発明の実施例3の説明図

本発明の実施例4の説明図 本発明の実施例5の説明図



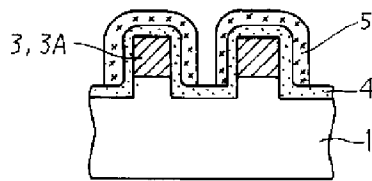
【図1】

本発明の実施例1の説明図



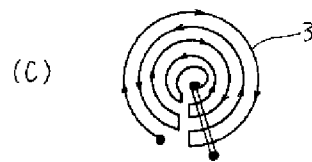
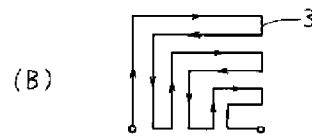
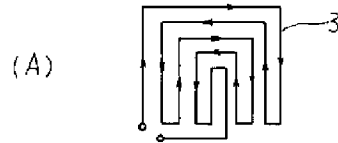
【図7】

本発明の実施例7の説明図



【図2】

本発明の実施例2の説明図



【図6】

本発明の実施例6の説明図

